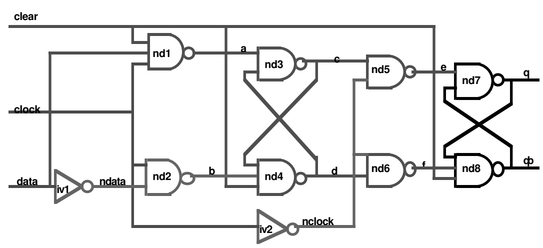
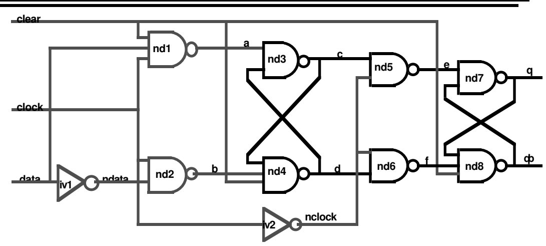
A Closer Look

Understanding the sequence of events in a Verilog simulation is essential to effective use of the tool for computer design.



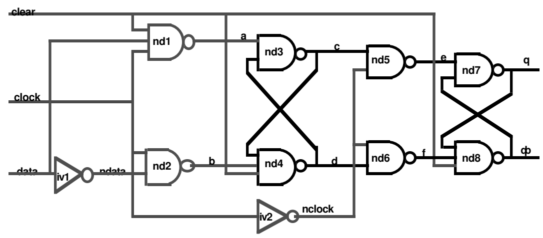
Tracing a Flip-Flop Initial



Initial State

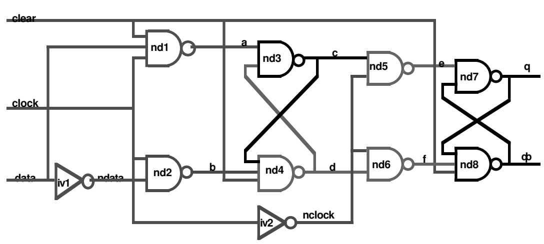
T=10 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=20 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=30 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=40 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=50 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=1
T=60 a=1 b=0 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=0
T=70 a=1 b=0 c=x d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=80 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=90 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=100 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=1 nC=0
T=110 a=1 b=1 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=0 nC=1
T=120 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=130 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

Clock Ticks



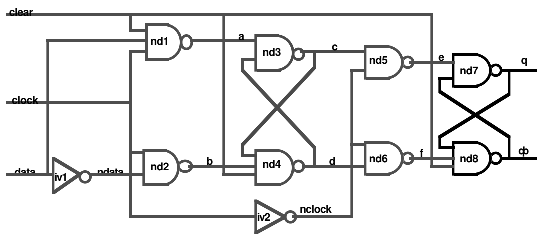
T=10 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=20 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=30 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=40 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=50 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=1
T=60 a=1 b=0 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=0
T=70 a=1 b=0 c=x d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=80 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=90 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=100 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=1 nC=0
T=110 a=1 b=1 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=0 nC=1
T=120 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=130 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

Clock Change Propagates



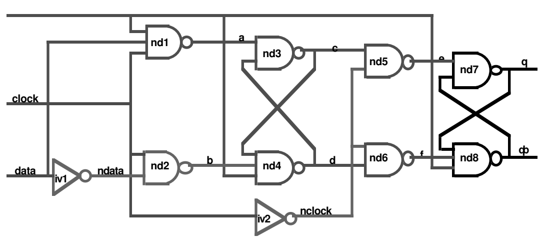
T=10 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=20 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=30 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=40 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=50 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=1
T=60 a=1 b=0 0 =x d=x e=x f=x q=x D=0 C=1 nD=1 nC=0 0
T=70 a=1 b=0 c=x d=1 e 1 1 f 1 q 1 D=0 C=1 nD=1 nC=0
T=80 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=90 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=100 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=1 nC=0
T=110 a=1 b=1 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=0 nC=1
T=120 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=130 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

CC Nand Defined



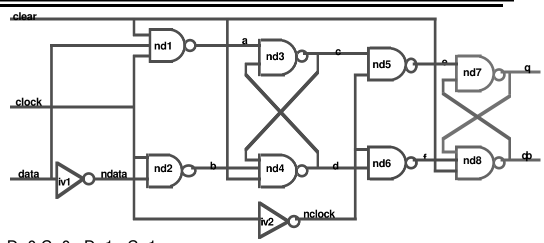
T=10 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=20 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=30 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=40 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=50 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=1
T=60 a=1 b=0 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=0
T=70 a=1 b=0 c=x d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=80 a=1 b=0 c=0 0 1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=90 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=100 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=1 nC=0
T=110 a=1 b=1 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=0 nC=1
T=120 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=130 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

Clock Tocks Data Changes



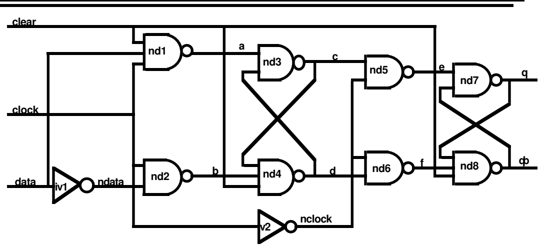
T=10 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=20 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=30 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=40 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=50 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=1
T=60 a=1 b=0 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=0
T=70 a=1 b=0 c=x d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=80 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=90 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=100 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=1 C=1 nD=0 nC=0
T=110 a=1 b=1 1 0 d=1 e=1 f=1 q=x D=1 C=0 nD=0 nC=0 1
T=120 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=130 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1
T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

CC Nand Defined



T=10 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=20 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=30 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=40 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=0 nD=1 nC=1
T=50 a=1 b=1 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=1
T=60 a=1 b=0 c=x d=x e=x f=x q=x D=0 C=1 nD=1 nC=0
T=70 a=1 b=0 c=x d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=80 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=90 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=0 C=1 nD=1 nC=0
T=100 a=1 b=0 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=1 nC=0
T=110 a=1 b=1 c=0 d=1 e=1 f=1 q=x D=1 C=0 nD=0 nC=1
T=120 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1 qB=0
T=130 a=1 b=1 c=0 d=1 e=1 f=0 q=x D=1 C=0 nD=0 nC=1 qB=1
T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=0 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

The Logic Continues



T=140 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=150 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=160 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=170 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=180 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=190 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=200 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0
T=210 a=1 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=1 nC=1
T=220 a=1 b=1 c=1 d=0 e=0 f=1 q=0 D=0 C=0 nD=1 nC=1
T=230 a=1 b=1 c=1 d=0 e=0 f=1 q=1 D=0 C=0 nD=1 nC=1
T=240 a=1 b=1 c=1 d=0 e=0 f=1 q=1 D=0 C=0 nD=1 nC=1
T=250 a=1 b=1 c=1 d=0 e=0 f=1 q=1 D=0 C=1 nD=1 nC=1
T=260 a=1 b=0 c=1 d=0 e=0 f=1 q=1 D=0 C=1 nD=1 nC=0
T=270 a=1 b=0 c=1 d=1 e=1 f=1 q=1 D=0 C=1 nD=1 nC=0
T=280 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=0 C=1 nD=1 nC=0
T=290 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=0 C=1 nD=1 nC=0
T=300 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=1 C=0 nD=1 nC=0
T=310 a=1 b=1 c=0 d=1 e=1 f=1 q=1 D=1 C=0 nD=0 nC=1
T=320 a=1 b=1 c=0 d=1 e=1 f=0 q=1 D=1 C=0 nD=0 nC=1
T=330 a=1 b=1 c=0 d=1 e=1 f=0 q=1 D=1 C=0 nD=0 nC=1
T=340 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1

T=350 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=360 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=370 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=380 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=390 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=400 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0
T=300 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=1 C=0 nD=1 nC=0
T=310 a=1 b=1 c=0 d=1 e=1 f=1 q=1 D=1 C=0 nD=0 nC=1
T=320 a=1 b=1 c=0 d=1 e=1 f=0 q=1 D=1 C=0 nD=0 nC=1
T=330 a=1 b=1 c=0 d=1 e=1 f=0 q=1 D=1 C=0 nD=0 nC=1
T=340 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=0 nD=0 nC=1
T=350 a=1 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=1
T=360 a=0 b=1 c=0 d=1 e=1 f=0 q=0 D=1 C=1 nD=0 nC=0
T=370 a=0 b=1 c=1 d=1 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=380 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=390 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=1 C=1 nD=0 nC=0
T=400 a=0 b=1 c=1 d=0 e=1 f=1 q=0 D=0 C=0 nD=0 nC=0

Tracing Modifications

```
module flop2 ( data, clock, clear, q, qb, tracer);
input data, clock, clear, tracer;
output q, qb;
nand #10 nd1 (a, data, clock, clear),
                nd2 (b, ndata, clock),
                nd4 (d, c, b, clear),
                nd5 (e, c, nclock),
                nd6 (f, d, nclock),
                nd8 (qb, q, f, clear);
nand #9 nd3 (c, a, d);
nand #9 nd7 (q, e, qb);
not #10 iv1 (ndata, data);
not #10 inv (nclock, clock);
always #10 if (tracer == 1)
$strobe("T=%0d a=%b b=%b c=%b d=%b e=%b f=%b q=%b D=%b C=%b nD=%b nC=%b",
        $time, a, b, c, d, e, f, q, data, clock, ndata, nclock);
endmodule
```


Controlling the Trace

```
module hardrive;
reg clr, clk, t;
reg [3:0] data;
wire [3:0] q;
`define stim #100 data = 4'b
event end_first_pass;
hardreg h1( data, clk, clr, q, t);
initial  begin
                clr = 1;
                t = 1;
                clk = 0;  end
always #50 clk = ~clk;
always @(end_first_pass)  clr = ~ clr;
always @(posedge clk)  if (t == 0)
                $strobe("at time %0d clr=%b data=%d q=%d",
                                $time, clr, data, q);
initial #500 t = 0;
initial begin
     repeat (2) begin
           data = 4'b0000;
           `stim 0001;
           `stim 0010;
           `stim 0011;
           `stim 0100;
           `stim 0101;
           `stim 0110;
           `stim 0111;
           `stim 1000;
           `stim 1001;
           `stim 1010;
           `stim 1011;
           `stim 1100;
           `stim 1101;
           `stim 1110;
           `stim 1111;
           #200 -> end_first_pass; end
        $finish; end
endmodule
```

```
module hardreg (d, clk, clrb, q, tr);
input clk, clrb, tr;
input [3:0] d;
output [3:0] q;

flop2 f1 (d[0], clk, clrb, q[0],,tr);
flop f2 (d[1], clk, clrb, q[1],);
flop f3 (d[2], clk, clrb, q[2],);
flop f4 (d[3], clk, clrb, q[3],);

endmodule
```

Continuing the Trace

```
T=450 a=1 b=1 c=1 d=0 e=0 f=1 q=1 D=0 C=1 nD=1 nC=1
T=460 a=1 b=0 c=1 d=0 e=0 f=1 q=1 D=0 C=1 nD=1 nC=0
T=470 a=1 b=0 c=1 d=1 e=1 f=1 q=1 D=0 C=1 nD=1 nC=0
T=480 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=0 C=1 nD=1 nC=0
T=490 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=0 C=1 nD=1 nC=0
T=500 a=1 b=0 c=0 d=1 e=1 f=1 q=1 D=1 C=0 nD=1 nC=0
at time 550 clr=1 data= 5 q= 4
at time 650 clr=1 data= 6 q= 5
at time 750 clr=1 data= 7 q= 6
at time 850 clr=1 data= 8 q= 7
at time 950 clr=1 data= 9 q= 8
at time 1050 clr=1 data=10 q= 9
at time 1150 clr=1 data=11 q=10
at time 1250 clr=1 data=12 q=11
at time 1350 clr=1 data=13 q=12
at time 1450 clr=1 data=14 q=13
at time 1550 clr=1 data=15 q=14
at time 1650 clr=1 data=15 q=15
at time 1750 clr=0 data= 0 q= 0
at time 1850 clr=0 data= 1 q= 0
at time 1950 clr=0 data= 2 q= 0
at time 2050 clr=0 data= 3 q= 0
at time 2150 clr=0 data= 4 q= 0
          ...
at time 2750 clr=0 data=10 q= 0
at time 2850 clr=0 data=11 q= 0
at time 2950 clr=0 data=12 q= 0
at time 3050 clr=0 data=13 q= 0
at time 3150 clr=0 data=14 q= 0
at time 3250 clr=0 data=15 q= 0
at time 3350 clr=0 data=15 q= 0
L37 "hardrive.v": $finish at simulation time 3400
```

```
event end_first_pass;
hardreg h1( data, clk, clr, q, t);
initial  begin
                clr = 1;
                t = 1;
                clk = 0;  end
always #50 clk = ~clk;
always @(end_first_pass)  clr = ~ clr;
always @(posedge clk)  if (t == 0)
                $strobe("at time %0d clr=%b data=%d q=%d",
                                $time, clr, data, q);
initial #500 t = 0;
initial begin
     repeat (2) begin
           data = 4'b0000;
           `stim 0001;
           `stim 0010;
           `stim 0011;
           `stim 0100;
           `stim 0101;
           `stim 0110;
           `stim 0111;
           `stim 1000;
           `stim 1001;
           `stim 1010;
           `stim 1011;
           `stim 1100;
           `stim 1101;
           `stim 1110;
           `stim 1111;
           #200 -> end_first_pass; end
        $finish; end
endmodule
```